

PAT-NO: JP406260530A
DOCUMENT-IDENTIFIER: JP 06260530 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT
PUBN-DATE: September 16, 1994

INVENTOR-INFORMATION:

NAME
TANAKA, HIDEKI
YAMADA, MUNEHIRO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP05047743

APPL-DATE: March 9, 1993

INT-CL (IPC): H01L021/60

ABSTRACT:

PURPOSE: To improve the mounting density of a semiconductor chip compared with a surface-mount package and a tape carrier package by directly connecting the semiconductor to a wiring on a mounting substrate.

CONSTITUTION: A large number of wirings 2, in which, for instance, a Cu foil stuck to this mounting board 1 is patterned by etching, are provided on one face of the mounting board 1 consisting of epoxy resin impregnated with glass fibers or the like. Further, a rectangular opening holes 3 is provided about in the center of the mounting board 1 and the respective one ends of the wirings 2 are arranged so as to project inside this opening 3. And the one ends of these wirings 2 are extended on the bonding pad of a

semiconductor chip
4 arranged inside this opening 3 and electrically connected to the bonding pad through a bump electrode. Thereby, a large number of semiconductor chips 4 can be mounted.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-260530

(43)公開日 平成6年(1994)9月16日

(51)Int.Cl.⁶
H 01 L 21/60

識別記号 庁内整理番号
311 R 6918-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21)出願番号 特願平5-47743

(22)出願日 平成5年(1993)3月9日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 田中 英樹

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 山田 宗博

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(74)代理人 弁理士 小川 勝男

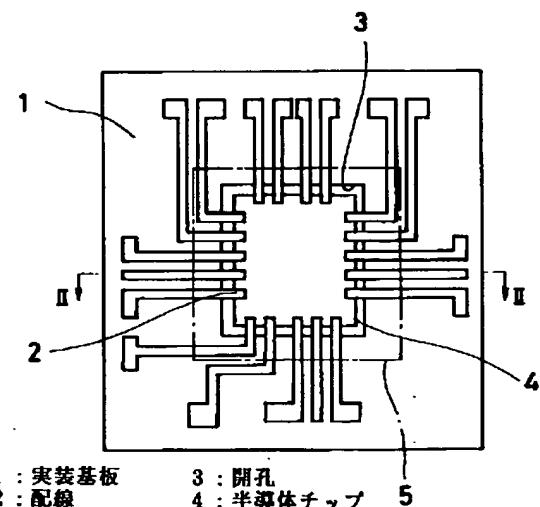
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 半導体チップを実装基板に高密度実装する技術を提供する。

【構成】 配線2を形成した実装基板1の一部に開孔3を設けてその内側に配線2の一端を突出させ、開孔3内に配置した半導体チップ4のポンディングパッド上に配線2の一端を接続した実装構造である。

図1



【特許請求の範囲】

【請求項1】 実装基板上に形成した配線の一端を前記実装基板の一部に設けた開孔の内側に突出させ、前記開孔内に配置した半導体チップのボンディングパッド上に前記配線の一端を接続したことを特徴とする半導体集積回路装置。

【請求項2】 前記実装基板の外側に突出させた配線の他端を前記実装基板の裏面側に折り曲げたことを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 請求項2記載の実装基板を複数個用意してそれぞれの実装基板に異種の半導体チップを実装し、これらの実装基板を積層してマルチチップモジュールを構成したことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置に関し、特に、半導体チップの実装密度の向上に適用して有効な技術に関するものである。

【0002】

【従来の技術】 近年、RAM、ROMなどのメモリLSIは、メモリ容量の大規模化に伴って半導体チップの面積が著しく増大しているため、半導体チップをT S O P (Thin Small Outline Package)、T S O J (Thin Small Outline J-lead package) のような超薄形の表面実装型パッケージに封止することで実装密度の向上を図っている。

【0003】 また、ポータブル形パソコンやラップトップ形パソコンなど、軽量、薄形パーソナルコンピュータの普及に伴い、半導体チップを実装基板に薄く実装することのできるテープキャリヤパッケージ (TABともいう) が注目されている。

【0004】 テープキャリヤパッケージは、半導体チップのボンディングパッド上に形成したAuのバンプ電極とポリイミド樹脂などの絶縁フィルムに形成したCuリードの一端とを電気的に接続し、このCuリードの他端を実装基板上に半田付けする実装方式である。

【0005】

【発明が解決しようとする課題】 しかしながら、前記した従来の実装技術には次のような問題点がある。

【0006】 (1). T S O P、T S O Jなどの表面実装型パッケージは、パッケージの外部に突出したアウターリードを介して半導体チップと実装基板との電気的接続を取るため、このアウターリードの長さ分だけパッケージの実効的な占有面積が大きくなり、その分、実装密度が低下する。

【0007】 また、表面実装型パッケージは、パッケージからのリード抜けを防止するために、パッケージ内のリード長をある程度確保しなければならないので、その分、パッケージの面積が大きくなり、これによっても実装密度が低下する。

【0008】 さらに、表面実装型パッケージは、半導体チップ、リード間をワイヤで接続するワイヤボンディング方式を採用しているため、パッケージの薄形化、小形化、多ピン化には限界がある。また、パッケージの薄形化に伴って、リフロー半田付け時のクラックなど、基板実装時の熱に起因する信頼性の低下も深刻な問題となっている。

【0009】 (2). テープキャリヤパッケージは、半導体チップを封止したパッケージの外側に絶縁フィルムが存在し、さらにこの絶縁フィルムの外側にアウターリードが突出しているため、絶縁フィルムの面積とアウターリードの長さ分だけパッケージの実効的な占有面積が大きくなり、その分、実装密度が低下する。

【0010】 そこで、本発明の目的は、半導体チップを実装基板に高密度実装することのできる技術を提供することにある。

【0011】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】 (1). 請求項1記載の半導体集積回路装置は、配線を形成した実装基板の一部に開孔を設けてその内側に前記配線の一端を突出させ、前記開孔内に配置した半導体チップのボンディングパッド上に前記配線の一端を接続した実装構造を備えている。

【0013】 (2). 請求項2記載の半導体集積回路装置は、請求項1記載の実装基板に形成した配線の他端を実装基板の外側に突出させ、さらに実装基板の裏面側に折り曲げた構造を備えている。

【0014】

【作用】 上記した手段(1)によれば、実装基板上の配線に半導体チップを直接接続することにより、表面実装型パッケージやテープキャリヤパッケージに比べて、半導体チップの実装密度を向上させることが可能となる。

【0015】 上記した手段(2)によれば、複数個の実装基板を積層し、下段の実装基板上の配線と上段の実装基板の裏面側に折り曲げた配線とを電気的に接続することにより、多段実装構造を実現することが可能となる。

【0016】

【実施例1】 図1は、本発明の一実施例である半導体集積回路装置の平面図、図2は、図1のII-II線における断面図である。

【0017】 図1および図2に示すように、ガラス繊維含浸エポキシ樹脂(ガラエポ)などからなる実装基板1の一面には、例えばこの実装基板1に接着したCu箔をエッチングしてパターン形成した多数の配線2が設けられている。

【0018】 上記実装基板1の略中央には、矩形の開孔3が設けられており、上記配線2のそれぞれの一端は、50 この開孔3の内側に突出するように配列されている。そ

3

して、この配線2の一端は、開孔3内に配置した半導体チップ4の図示しないポンディングパッド上に延在され、図示しないバンプ電極を介してポンディングパッドと電気的に接続されている。配線2と半導体チップ4との電気的接続は、テープキャリヤパッケージの製法に準じて、一括ポンディング(ギャングポンディング)により行われる。

【0019】図2に示すように、上記開孔3内に配置された半導体チップ4は、例えばエポキシ樹脂系の封止樹脂5によって気密封止されている。封止樹脂5による半導体チップ4の気密封止は、テープキャリヤパッケージの製法に準じて、ボッティングまたはモールドにより行われる。

【0020】上記した半導体チップ4の実装構造によれば、実装基板1上に形成した配線2に半導体チップ4を直接接続することが可能となるので、表面実装型パッケージやテープキャリヤパッケージに比べて、半導体チップ4を実装基板1に高密度に実装することができる。

【0021】なお、上記の実装基板1に多数の開孔3を設けることにより、多数の半導体チップ4の実装が可能になることはいうまでもない。

【0022】

【実施例2】図3(a)に示すように、本実施例の実装基板1上に形成された配線2は、その他端側が実装基板1の外側に突出され、さらにその先端が実装基板1の裏面側に折り曲げられている。

【0023】このような構造とすることにより、図3(b)に示すように、複数個の実装基板1を積層し、下段の実装基板1上の配線2と上段の実装基板1の裏面側に折り曲げた配線2とを半田などによって電気的に接続することにより、多段実装構造を容易に実現することができる。

【0024】この時、図4に示すように、実装基板1上の配線2の一部にパッド6を設けておくことにより、この実装基板1の上段に他の実装基板1を積層する際、上段の実装基板1の裏面側の配線2との位置合わせを確実に行なうことが可能となる。

10

20

30

4

【0025】また、複数個の実装基板1を積層する際、それぞれの実装基板1に異なる品種の半導体チップ4を実装し、かつそれぞれの実装基板1上の配線2の一部のパターンを半導体チップ4の品種に応じて変更することにより、マルチチップモジュールを実現することができる。

【0026】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0027】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0028】(1)請求項1記載の発明によれば、実装基板上の配線に半導体チップを直接接続することにより、半導体チップの高密度実装を実現することができる。

【0029】(2)請求項2記載の発明によれば、複数個の実装基板を積層した多段実装構造を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の平面図である。

【図2】図1のII-II線における断面図である。

【図3】(a)は、本発明の他の実施例である半導体集積回路装置の断面図であり、(b)は、その積層構造を示す断面図である。

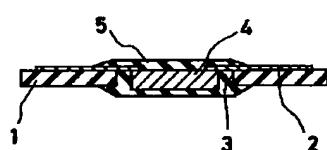
【図4】本発明の他の実施例である半導体集積回路装置の平面図である。

【符号の説明】

- 1 実装基板
- 2 配線
- 3 開孔
- 4 半導体チップ
- 5 封止樹脂
- 6 パッド

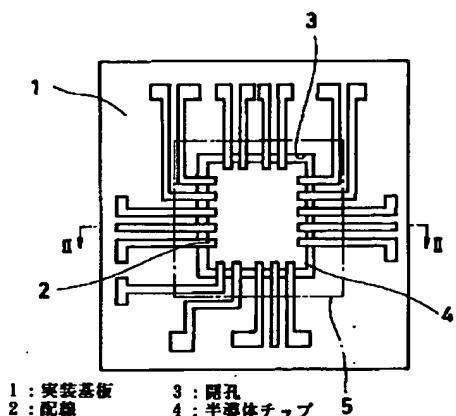
【図2】

図2



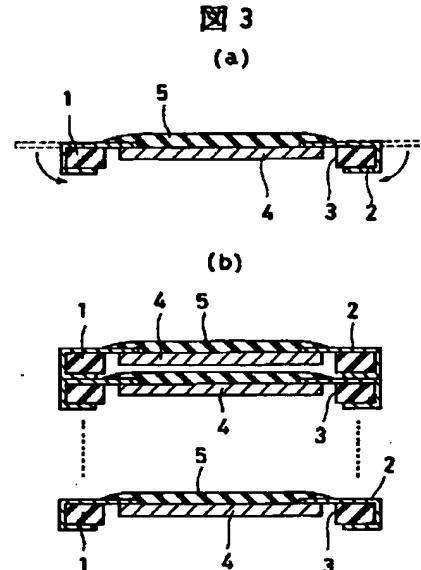
【図1】

図1



【図3】

図3



【図4】

図4

